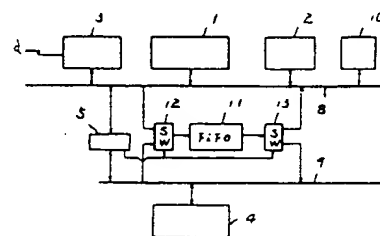


(54) MULTIPROCESSOR SYSTEM

(11) 61-290563 (A) (43) 20.12.1986 (19) JP
 (21) Appl. No. 60-131922 (22) 19.6.1985
 (71) TOSHIBA CORP (72) TSUNENORI HASEBE
 (51) Int. Cl. G06F15/16

PURPOSE: To execute efficiently a high speed processing by using a first-in first-out (FiFo) memory as a common memory of plural processors, and executing a data processing by switching a flow of a data by input and output selecting circuits.

CONSTITUTION: An FiFo memory 11 is a memory held in common by a main processor 1 and a high speed processor 4, and an input selecting circuit 12 selects whether the input data to the memory 11 are inputted from the processor 1 or the processor 4. Also, an output selecting circuit 13 selects whether an output data from the memory 11 is outputted to the processor 1 or the processor 4. The processor 1 inputs the display data one by one from a host CPU through a host interface 3, and when it is known that the data to be processed by the processor 4 is continued, a DMA transfer is executed by instructing an operation to a DMA circuit 10. In this case, by executing a data processing by switching a flow of the data through the memory 11 and the circuits 12, 13, a high speed processing can be executed efficiently.



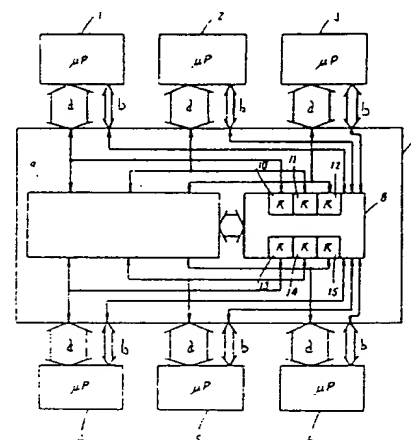
2: main memory, 5: I/O port, 8: main processor bus, 9: high speed processor bus, a: host CPU

(54) MULTIPROCESSOR COUPLING CIRCUIT

(11) 61-290565 (A) (43) 20.12.1986 (19) JP
 (21) Appl. No. 60-133743 (22) 19.6.1985
 (71) YOKOGAWA ELECTRIC CORP (72) KAZUHIKO SAKAGUCHI
 (51) Int. Cl. G06F15/16

PURPOSE: To operate efficiently a microprocessor, to improve extendability and reliability, and also to initialize easily a system by providing a crossbar switch and a register, and executing a control of accordance with a command of a processor.

CONSTITUTION: A data network 9 is connected to a controlling circuit 8 and a data line, and a crossbar switching circuit is provided on its inside. Also, registers 10~15 consist of a command register whose transfer direction is designated from microprocessors 1~6, and a state register for showing the state of a crossbar switching circuit, etc., and constitute a data port. When executing a data transfer between each processor, the transfer command from the processor is held by the registers 10~15, and in accordance with this transfer command, the circuit 8 controls the crossbar switch, by which the data transfer is executed. In this case, a pipeline of a high efficiency can be realized, each processor is operated efficiently, the extendability and reliability can be improved, and also the system can be initialized easily.



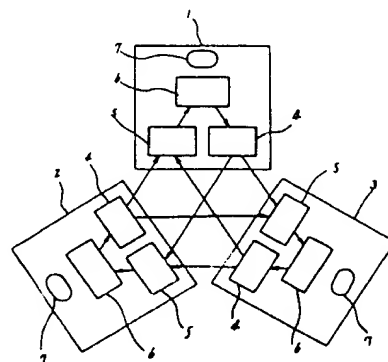
a: data, b: control line

(54) DIAGNOSING METHOD FOR FAULT OF MULTI-NETWORK SYSTEM

(11) 61-290566 (A) (43) 20.12.1986 (19) JP
 (21) Appl. No. 60-131902 (22) 19.6.1985
 (71) HITACHI LTD(1) (72) KIYOSHI OWADA
 (51) Int. Cl. G06F15/16, G06F11/22, G06F13/00

PURPOSE: To execute effectively a diagnosis when communication is abnormal, by providing a monitor device and a monitor timer in the inside of each computer, and operating the monitor device, when a response message is not received within allowable time at the time of transmission.

CONSTITUTION: Computers 1, 2 and 3 contain a transmitting device 4, a receiving device 5, a monitor device 6 and a monitor timer 7, respectively. When transmitting a message from the computer 1 to 2, the device 4 of the computer 1 sets the timer 7, and when there is no response within a prescribed time, the timer 7 becomes time-up and operates the device 6. The device 6 instructs the device 4 to transmit a patrol request message to the computer 3. As a result, the device 5 of the computer 3 executes a patrol request of the computer 2 to the device 6, and the device 4 transmits a patrol message to the computer 2. As a result, when the transmission has been executed normally, a fault can be limited to a line between the computer 1 and 2, and when the time is over, it can be diagnosed that a terminal of the computer 2 is abnormal. In this way, when communication is abnormal, the diagnosis can be executed effectively.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-290565

⑬ Int.Cl.⁴
G 06 F 15/16

識別記号 庁内整理番号
P-2116-5B

⑭ 公開 昭和61年(1986)12月20日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 多重プロセッサ結合回路

⑯ 特 願 昭60-133743

⑰ 出 願 昭60(1985)6月19日

⑱ 発 明 者 坂 口 和 彦 武蔵野市中町2丁目9番32号 横河北辰電機株式会社内
⑲ 出 願 人 横河北辰電機株式会社 武蔵野市中町2丁目9番32号
⑳ 代 理 人 弁理士 小沢 信助

明 細 書

1. 発明の名称

多重プロセッサ結合回路

2. 特許請求の範囲

複数のプロセッサが接続するクロスバー・スイッチと、前記プロセッサからの転送指令を保持するレジスタを備え前記クロスバー・スイッチを前記プロセッサの指令に対応して制御する制御回路とを具備し、複数のプロセッサ間のデータ転送をクロスバー・スイッチを介して行うことを特徴とする多重プロセッサ結合回路。

3. 発明の詳細な説明

〈産業上の利用分野〉

本発明は、複数のマイクロ・プロセッサを効率良く動作させる多重プロセッサ結合回路に関するものである。

〈従来の技術〉

複数のマイクロプロセッサ(以下μPと略す)を結合させる代表的な方法としては、次に げるようなものが従来から用いられている。

a. I/Oポートによる結合(第9図)

b. 共通バスによる結合(第10図)

c. 共有メモリによる結合(第11図)

〈発明が解決しようとする問題点〉

しかし、aの方式は最も一般的な結合方法であるが、結合する台数に応じた多数のI/Oチャネルを1つのμPに与える必要があるため、ハードウェアが大きくなるという欠点がある。

bの方式は拡張性はあるが、共通バスをどのμPが使用するかを調定する回路(アービタ; arbiter)が必要となる。また、1度に1つのデータ転送しかできないので転送量に制限があり(バス・ネック)、台数が増えるにしたがいμPの稼働率が落ちてくる。cの方式は比較的少ないハードウェアで構成できるが、メモリ自体が故障したとき重大であり、信頼性に問題がある。

本発明は上記の問題点を解決するためになされたもので、各μPを効率良く稼働させることができ、拡張性があり、高信頼化が可能で、システムの初期化が容易な多重プロセッサ結合回路を簡単

な構成で実現することを目的とする。

《問題点を解決するための手段》

本発明に係る多重プロセッサ 合回路は、複数のプロセッサが接続するクロスバー・スイッチと、前記プロセッサからの転送指令を保持するレジスタを備え前記クロスバー・スイッチを前記プロセッサの指令に対応して制御する制御回路とを具備し、複数のプロセッサ間のデータ転送をクロスバー・スイッチを介して行うことを特徴とする。

《作用》

上記のような構成の多重プロセッサ結合回路によれば、プロセッサからの転送指令をレジスタに保持し、この転送指令に対応して制御回路がクロスバー・スイッチを制御することにより、複数のプロセッサ間のデータ転送をクロスバー・スイッチを介して行うことができる。

《実施例》

以下本発明を図面を用いて詳しく説明する。

第1図は本発明に係る多重プロセッサ結合回路の一実施例を示す構成ブロック図である。1～6

P1～3とμP4～6とは同じデータを交換しながら処理が進行する。データネットワーク9内部の比較器によりμP1～3からのデータの一致検出を行いエラーの発見・修正を行うので、信頼性の高い処理が実現できる。

第4図は第1図回路の第2の応用例を示すシステム構成図である。一連の処理をμP1～6に割りあて、μPのデータ転送の方向を設定し、入力データをμP1に与えた後μP1→μP2→μP3→μP4→μP5→μP6というように処理データを順番に送ってパイプライン処理を実現している。制御回路8を介して特定のμPに割込みがかかると、そのμP内にパイプライン処理用FIFO(First In First Out; 送られるデータを順番にレジスタに保持しておき、最初に送られたデータから順番に出力していくもの)がソフトウェア上で構成されるので、送信側のμPの処理を停止させることなく、データ転送が即時にでき、高効率のパイプライン処理ができる。

は複数のμP(メモリ、I/Oを含む)、7はこの複数のμPが接続する多重プロセッサ結合回路(以下結合回路と略す)、この結合回路7において、8は前記各μPからのデータラインおよび制御ラインが接続しμPからの割込み信号や各種制御信号を処理する制御回路、9はこの制御回路8およびデータライン(アドレス・ラインと制御ラインの一部を含む)が接続し内部にクロスバー・スイッチ回路と比較器を含むデータ・ネットワーク、制御回路8において10～15はμP1～6から転送方向を指定されるコマンド・レジスタや前記クロスバー・スイッチ回路の状態を示すステータス・レジスタなどからなるレジスタでデータポートを構成する。

上記のような構成の装置の動作を応用例を用いて以下に説明する。第2図は第1図で示した結合回路7を簡略に表した記号で、以下の応用例のシステム構成図で用いている。

第3図は第1図回路の第1の応用例を示すシステム構成図である。6つのμPを2群に分け、μ

第5図は第1図回路の第3の応用例を示すシステム構成図である。結合回路を複数使用したもので、第4図のパイプライン処理で負荷の大きいμP1、μP4、μP5の部分をもさらに小さな処理に分解してそれぞれ1つの結合回路系(クラスタ)に割当て、高速処理するものである。μP増設のための、ハードウェアの余分な増加が少なく、かつ増設量に制限がないという利点がある。

第6図は第1図回路の第4の応用例を示すシステム構成図である。結合回路におけるデータ転送量が多くなり、結合回路内部の調定回路が作動してμPの稼働率が低下した場合に、そのデータ転送を1つの結合回路に集中しないように複数の結合回路を組合せたもので、システムを機能別に構成することにより、効率的な機能分散ができる。

第7図は第1図回路の第5の応用例を示すシステム構成図である。結合回路内部のクロスバー・スイッチを介して複数のμPに同一データを送るブロードキャスト転送を行うもので、μPに初期プログラムや初期データを効率的に送ることができ

る。

このな構成の結合回路を使用すれば、接続する μP に1つのポートさえあれば、結合回路に接続するだけで容易にマルチプロセッサを構成できる。また結合回路の内部も簡単なクロスバー構成となっており、少ないハードウェアでマルチプロセッサ・システムを実現できる。

また、クロスバー構成で、一度に複数のデータ転送ができるため、前記結合回路を複数接続してデータ転送量を拡大することにより、共通バス結合方式で問題となったバス・ネックを回避することができる。さらに割込みを使用して即時高速転送を行うことにより、 μP を最大限の効率で稼働させることができる。

また、複数の結合回路を自由にかつ無制限に組合せることができ、任意の μP と自由にデータ交換ができるので、自由度と拡張性に富むマルチプロセッサシステムを実現できる。

また、同一の処理を複数の μP に実行させ、比較回路によりデータの一致検出を行うことにより、

エラーを発見・修正できるので、信頼性の高い処理ができ。さらに、複数の結合回路を用いてネットワークを構成すると、データ転送経路が複数存在するので、 μP の故障だけでなく、転送回路自体の故障も発見でき、その経路の使用禁止をして別経路のデータ転送を行うことができ、信頼性の高いシステムを構成できる。

また、クロスバースイッチを利用してブロードキャスト転送が容易に行えるため、システムに必要なプログラムおよびデータの一致転送が可能であり、初期化が短時間で容易に行える。

また、上記の結合回路はIC化により、容易に小型化を図ることができる。

なお、上記の実施例では μP が8台の場合を示したが、任意の複数の μP に対して適用できる。

また、上記の実施例ではデータ・ネットワーク9において、1つの μP に対してデータのビット数と等しい数のクロスバースイッチを使用しデータ転送はパラレルで行われるが、特定のデータフォーマットを持ったシリアル転送を行ってもよい。

すなわち、クロスバースイッチを μP 1つごとに1本とし、制御回路のレジスタはシリアル転送のデータフォーマットに基づいて設定データを読込む。このような、シリアル転送による μP 結合網は、結合のためのハードウェアが非常に少なく、光ファイバを用いた高速シリアル転送を行うことにより、大規模マイクロコンピュータ・ネットワークを簡単に構成できる。

また、上記の実施例では複数の μP を2群に分けてそれぞれの群をクロスバースイッチ(マトリクススイッチ)の縦・横の端子に対応させているが、第8図に示すようにクロスバースイッチの縦横の端子に同じ μP を接続して、全ての μP の間でデータ転送できるようにすることもできる。

〈発明の効果〉

以上述べたように本発明によれば、各 μP を効率的に稼働させることができ、拡張性があり、高信頼化が可能で、システムの初期化が容易な多重プロセッサ結合回路を簡単な構成で実現することができる。

4. 図面の簡単な説明

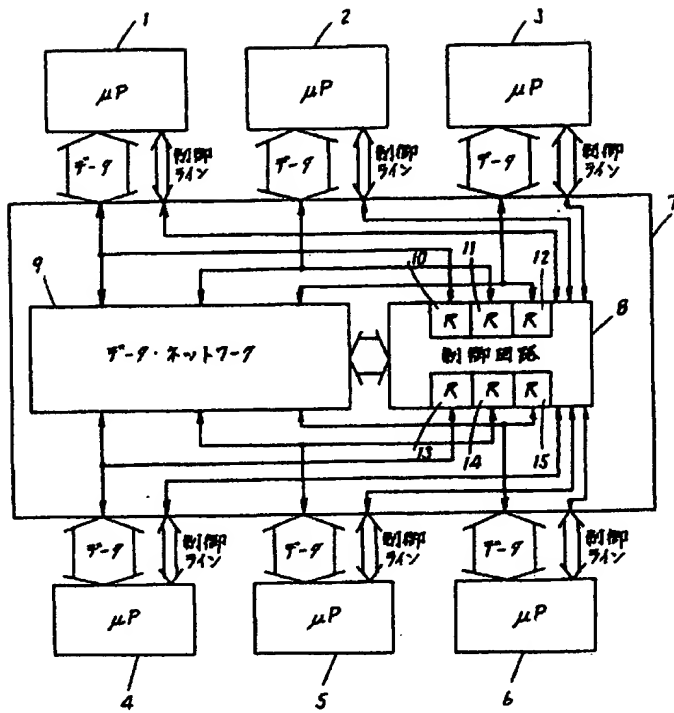
第1図は本発明に係る多重プロセッサ結合回路の一実施例を示す構成ブロック図、第2図は第1図装置の要部の略図を示す説明図、第3図～第7図は第1図装置の動作を説明するための応用例を示すシステム構成図、第8図は本発明の変形例を示す構成回路図、第9図～第11図は従来の多重プロセッサシステムの構成を示すシステム構成図である。

1～6…プロセッサ、7…多重プロセッサ結合回路、8…制御回路、10～15…レジスタ。

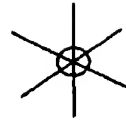
代理人 弁理士 小沢信助



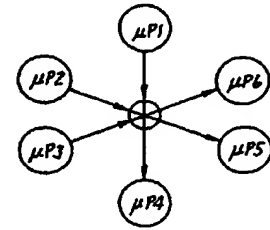
第 1 図



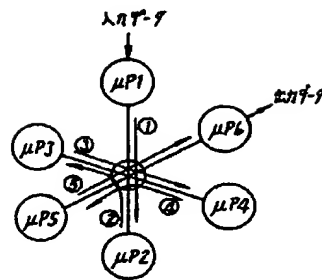
第 2 図



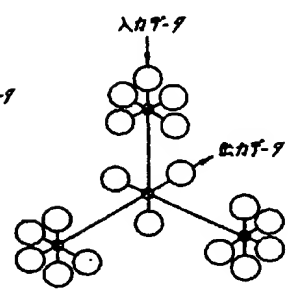
第 3 図



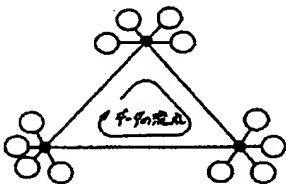
第 4 図



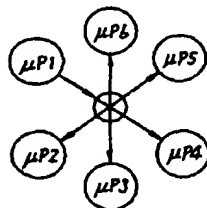
第 5 図



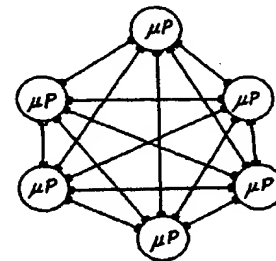
第 6 図



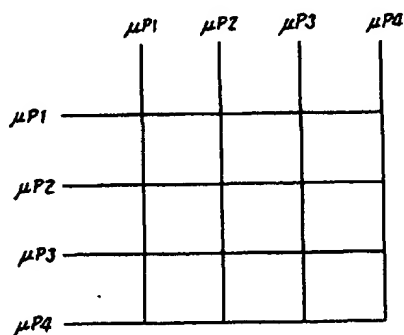
第 7 図



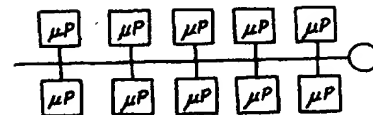
第 9 図



第 8 図



第 10 図



第 11 図

